

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PATENT

Docket No. JCLA9912

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : CHI-HING HSU et al.  
Application No. : 10/643,788  
Filed : August 15,2003  
For : CHIP PACKAGE STRUCTURE

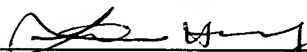
Examiner :

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

December 8, 2003

(Date)

  
Jiawei Huang, Reg. No. 43,330

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **91214106** filed on **September 09, 2002**.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA9912).

Date: 12/8/2003

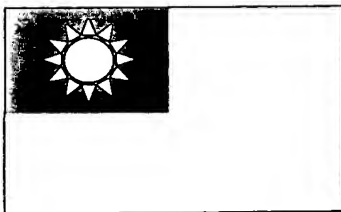
By:   
Jiawei Huang  
Registration No. 43,330

Please send future correspondence to:

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
Tel: (949) 660-0761

10/643,188

SCA9912



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 09 月 09 日  
Application Date

申請案號：091214106  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 8 月 28 日  
Issue Date

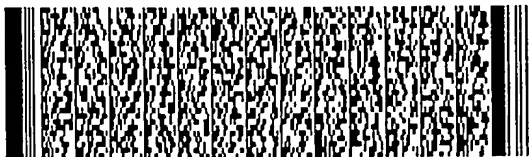
發文字號：09220866310  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 新型專利說明書

一、 新型名稱	中 文	晶片封裝結構
	英 文	Structure of Chip Package
二、 創作人	姓 名 (中文)	1. 許志行 2. 張文遠
	姓 名 (英文)	1. Chi-Hsing Hsu 2. Wen-Yuan Chang
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣新店市中正路533號八樓 2. 台北縣新店市中正路533號八樓
三、 申請人	姓 名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓 名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號8樓
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1. Hsiueh-Hong WANG

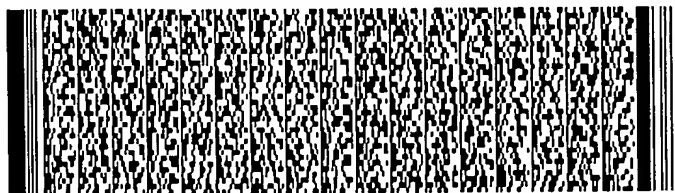


四、中文創作摘要 (創作之名稱：晶片封裝結構)

一種晶片封裝結構，具有一玻璃基板、一線路層、至少一晶片及多個導電結構。其中玻璃基板具有一基板表面，而線路層係配置於玻璃基板之基板表面上，且線路層更具有內部線路。此外，晶片係配置於線路層上，並以覆晶接合或打線接合的方式電性連接至內部線路，而這些導電結構亦配置於線路層上，並電性連接至內部線路。

英文創作摘要 (創作之名稱：Structure of Chip Package)

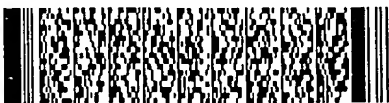
A structure of a chip package comprises a glass substrate, a circuit layer, a die, and a plurality of contacts. The glass substrate has a substrate surface. The circuit layer is located on the substrate surface, and has an inner circuit. The die is located on the circuit layer and electrically connects to the inner circuit in the method of "flip chip" or "wire bonding" interconnect technology. The contacts are located on the circuit layer and also electrically connect



四、中文創作摘要 (創作之名稱：晶片封裝結構)

英文創作摘要 (創作之名稱：Structure of Chip Package)

to the inner circuit.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

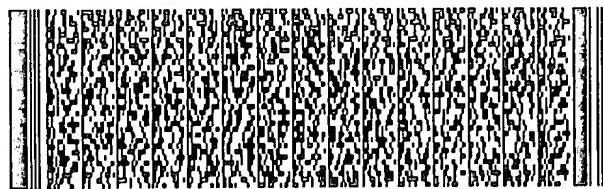
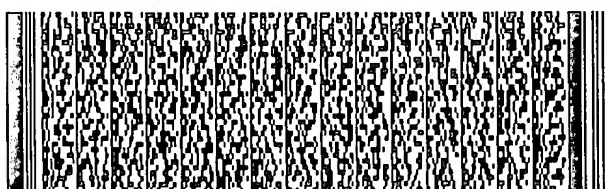
無

## 五、創作說明 (1)

本創作是有關於一種晶片封裝結構，且特別是有關於一種應用玻璃基板 (glass substrate) 之晶片封裝結構。

覆晶接合技術 (Flip Chip Interconnect Technology, 簡稱FC) 乃是利用面陣列 (area array) 的方式，將多個晶片墊 (die pad) 配置於晶片 (die) 之主動表面 (active surface) 上，並在晶片墊上形成凸塊 (bump)，接著將晶片翻覆 (flip) 之後，再利用這些凸塊來分別電性及機械性連接晶片之晶片墊至承載器 (carrier) 上的接點 (contact)，使得晶片可經由凸塊而電性連接至承載器，並經由承載器之內部線路而電性連接至外界之電子裝置。值得注意的是，由於覆晶接合技術 (FC) 係可適用於高腳數 (High Pin Count) 之晶片封裝結構，並同時具有縮小晶片封裝面積及縮短訊號傳輸路徑等諸多優點，所以覆晶接合技術目前已經廣泛地應用於晶片封裝領域，常見應用覆晶接合技術之晶片封裝結構例如有覆晶球格陣列型 (Flip Chip Ball Grid Array, FC/BGA) 及覆晶針格陣列型 (Flip Chip Pin Grid Array, FC/PGA) 等型態之晶片封裝結構。

請參考第1圖，其繪示習知之一種覆晶球格陣列型之晶片封裝結構的剖面示意圖。晶片封裝結構100包括基板 (substrate) 110、晶片130、多個凸塊140及多個錫球150。其中，基板110具有一頂面112及對應之一底面114，且基板110更具有多個凸塊墊 (bump pad) 116a及多個錫



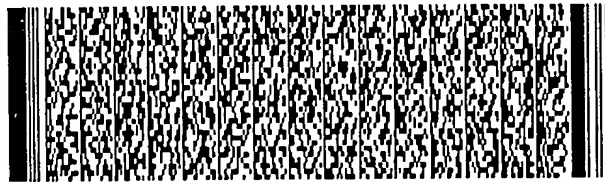
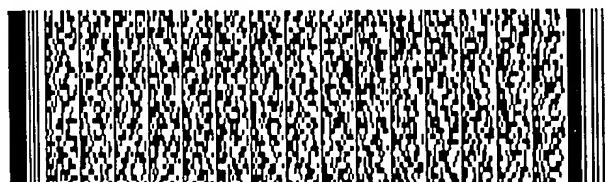
## 五、創作說明 (2)

球墊 (ball pad) 116b。此外，晶片130具有一主動表面 (active surface) 132及對應之一背面134，其中晶片130之主動表面112係泛指晶片130之具有主動元件

(active device) (未繪示) 的一面，並且晶片130更具有多個晶片墊136，其配置於晶片130之主動表面132，用以作為晶片130之訊號輸出入的媒介，其中這些凸塊墊116a之位置係分別對應於這些晶片墊136之位置。另外，這些凸塊140則分別電性及機械性連接這些晶片墊136之一至其所對應之這些凸塊墊116a之一。並且，這些鐸球150則分別配置於這些鐸球墊116b上，用以電性及機械性連接至外界之電子裝置。

請同樣參考第1圖，底膠 (underfill) 160係可填充於基板110之頂面112及晶片130之主動表面132所圍成的空間，用以保護凸塊墊116a、晶片墊136及凸塊140所裸露出之部分，並同時緩衝基板110與晶片130之間在受熱時所產生的熱應變 (thermal strain) 之不匹配的現象。因此，晶片130之晶片墊136將可經由凸塊140而電性及機械性連接至基板110之凸塊墊116a，再經由基板110之內部線路而向下繞線 (routing) 至基板110之底面114的鐸球墊116b，最後經由鐸球墊116b上之鐸球150而電性及機械性連接至外界之電子裝置。

就晶片之運算速度及其製造成本的考量，晶片之面積及晶片墊 (即訊號端子) 之間的間隙將逐漸地縮小，意即晶片墊之密度亦將相對地逐漸地升高。因此，當具有高密

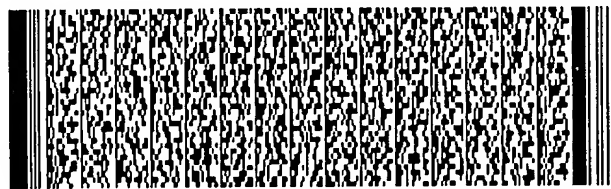
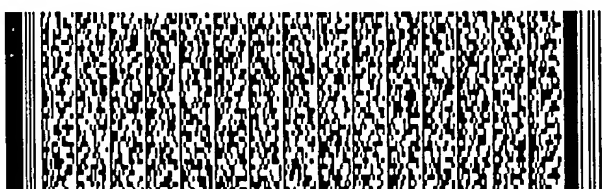


### 五、創作說明 (3)

度晶片墊之晶片採用覆晶型態 (FC) ，並搭配球格陣列型態 (BGA) 或針格陣列型態 (PGA) 來進行封裝時，就必須採用具有高密度接點及微細線路之基板，如此才能將晶片以覆晶接合的方式配置於基板之頂面，並經由基板之內部線路的重新繞線，故可將晶片之晶片墊延伸至基板之底面，最後經由位於基板之底面的錫球 (ball) 或針腳 (pin) 等導電結構而電性連接至外界之電子裝置。此外，目前作為覆晶球格陣列型 (FC/BGA) 或覆晶針格陣列型 (FC/PGA) 之基板的常見材質包括有陶瓷 (ceramic) 及有機材料 (organic material) 等，其中又以有機材料作為材質之有機基板 (organic substrate) 最為常見。另外，由於有機基板在製程良率上的限制，使得目前可大規模量產之有機基板的導線其線寬及線距僅可達到25微米及25微米。值得注意的是，由於現有之有機基板的接點密度難以繼續向上提升，然而，隨著晶片之晶片墊的密度逐漸地升高，在可大規模量產之考量下，如何提供具有更高密度接點及微細線路之基板乃是目前亟待解決的重大課題。

有鑑於此，本創作之目的係在於提出一種晶片封裝結構，其主要是利用玻璃基板來取代習知之有機基板，並可提供高密度接點及微細線路，用以封裝具有高密度晶片墊之晶片，且可降低晶片封裝結構之製作成本。

基於本創作之上述目的，本創作提出一種晶片封裝結構，至少具有一玻璃基板、一線路層、至少一晶片及多個



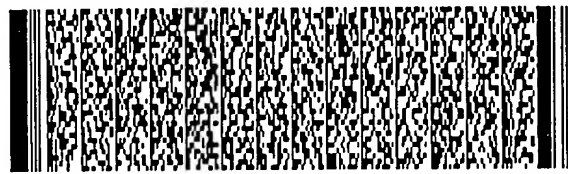
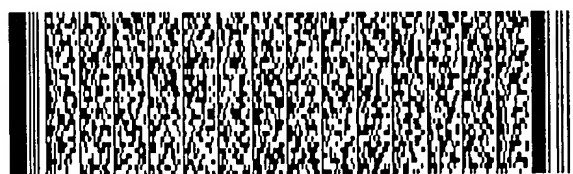
#### 五、創作說明 (4)

導電結構。其中玻璃基板具有一基板表面，而線路層係配置於玻璃基板之基板表面上，且線路層更具有一內部線路，而晶片係配置於線路層上，並以覆晶接合或打線接合的方式電性連接至內部線路，而這些導電結構亦配置於線路層上，並電性連接至內部線路。因此，晶片將可經由線路層之內部線路，再經由導電結構而電性連接至外界之電子裝置。值得注意的是，由於本創作之晶片封裝結構的線路層係可沿用液晶顯示面板之製程技術及生產機台，故可降低晶片封裝結構之製作成本，並可提供高密度接點及微細線路，故可應用於封裝高密度晶片墊之晶片。

為了讓本創作之上述目的、特徵和優點能明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

#### 圖式之標示說明

100：晶片封裝結構	110：基板
112：頂面	114：底面
116a：凸塊墊	116b：鐳球墊
130：晶片	132：主動表面
134：背面	136：晶片墊
140：凸塊	150：鐳球
160：底膠	
201～208：晶片封裝結構	210：玻璃基板
212：基板表面	220：線路層
222：導線層	224：介電層



#### 五、創作說明 (5)

226 : 導電插塞

228b : 接合墊

230 : 晶片

234 : 背面

240 : 凸塊

252 : 針腳

270 : 散熱片

282 : 承載表面

284b : 承載接點

292 : 被動元件

228a : 接合墊

229 : 防銲層

232 : 主動表面

236 : 晶片墊

250 : 銲球

260 : 底膠

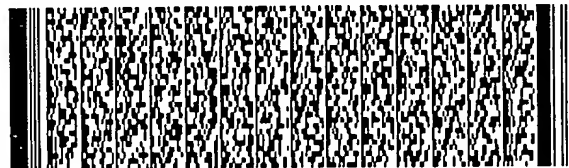
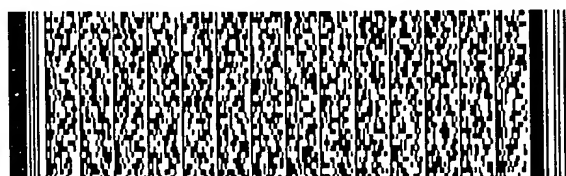
280 : 承載器

284a : 承載接點

290 : 主動元件

#### 較佳實施例

請參考第2A圖，其繪示本創作之較佳實施例之第一種晶片封裝結構的剖面示意圖。晶片封裝結構201之型態係為覆晶球格陣列型態(FC/BGA)，此晶片封裝結構主要包括一玻璃基板210、一線路層220、一晶片230、多個凸塊240及多個銲球250。首先，玻璃基板210具有一基板表面212，且玻璃基板210之厚度係可小於1公釐(mm)。此外，線路層220係配置於玻璃基板210之基板表面212，而線路層220係可由圖案化之單一導線層222所構成，並以之作為一內部線路(未標示)，並且線路層220亦可由多層導線層222、至少一介電層224及至少一導電插塞226所構成，其中這些導線層222係依序配置於基板表面212，而介電層224則配設於二相鄰之導線層222之間，用以電性隔離二相鄰之導線層222，且導電插塞226則貫穿介電層224，

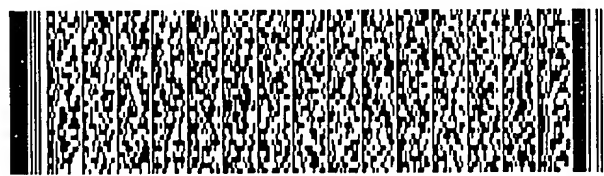
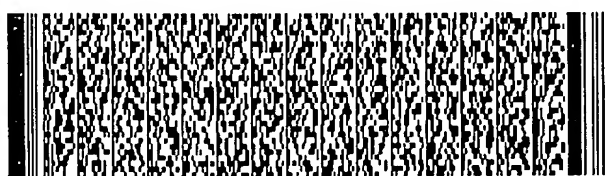


#### 五、創作說明 (6)

而電性連接二相鄰之導線層222，且這些導線層222與這些導電插塞226係共同構成一內部線路（未標示）。

請同樣參考第2A圖，線路層220更具有多個接合墊228a及多個接合墊228b，其均位於線路層220之遠離玻璃基板210的表面，而這些接合墊228a及這些接合墊228b係由線路層220之這些導線層222之最遠離玻璃基板210者所形成，且線路層220更具有一防銲層（solder mask）229，其位於線路層220之表層，並暴露出這些接合墊228a及這些接合墊228b。此外，晶片230具有一主動表面232及對應之一背面234，且晶片230更具有多個晶片墊236，其位於晶片230之主動表面232，其中線路層220之這些接合墊228a的位置係分別對應於晶片230之晶片墊236的位置。另外，多個凸塊240係分別電性及機械性連接這些晶片墊236之一至其所對應之這些接合墊228a之一，使得晶片230可經由凸塊240而電性連接至線路層220之內部線路。並且，這些銲球250則分別配置於線路層220之這些接合墊228b，使得晶片230將可依序經由這些凸塊240及線路層220之內部線路，最後經由這些銲球250而電性連接至外界之電子裝置。而且，為了保護這些凸塊240之裸露出的部分，更可將一底膠260填充於晶片230與線路層220之間。

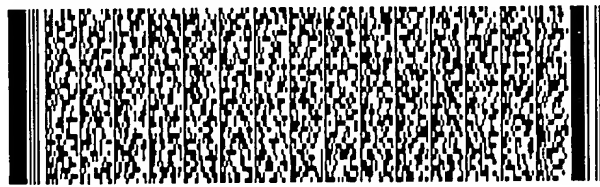
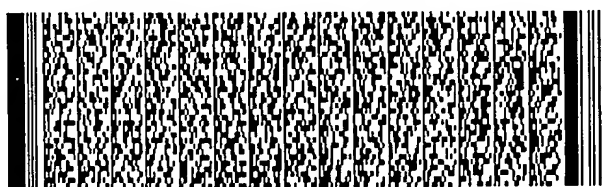
請同樣參考第2A圖，本創作之較佳實施例乃是採用與液晶顯示面板（Liquid Crystal Display panel，LCD panel）幾近相同之製程，而將線路層220製作於玻璃基板210之基板表面212上，其中線路層220之導線層222的材質



#### 五、創作說明 (7)

例如為鋁及銅等金屬材料，而線路層220之介電層224的材質例如為氮化矽 ( $\text{SiN}$ ) 或二氧化矽 ( $\text{SiO}_2$ ) 等介電材料，並以之取代習知之有機材料。值得注意的是，當線路層220之介電層224的材質採用氮化矽或二氧化矽，且在介電層224上製作導線層222時，導線層222之線寬及線距較不易受到介電層224之本身結構受熱脹縮的影響，使得導線層222之線寬及線距將可分別逼近到1.5微米及1.5微米（此數值即為目前可大規模量產之液晶面板的導線其線寬及線距），因而遠小於目前可大規模量產之有機基板的線寬及線距（25微米及25微米）。因此，在晶片230之晶片墊236的密度逐漸上升的情況之下，由於線路層220之線寬及線距均可到達數微米，使得位於玻璃基板210上之線路層220亦可對應形成更高密度之接合墊228a，用以配合讓更高密度之晶片墊236的晶片230可以覆晶接合的方式連接至線路層220上。值得注意的是，為了獲得足夠的電流導通面積，在線路層220之導線層222的線寬及線距將可分別設定為6微米及1.5微米左右。

承上所述，同樣地，本創作之較佳實施例更可利用液晶顯示面板之製程所應用到的生產機台，而將線路層220製作於玻璃基板210之基板表面212上，用以形成高密度接合墊及微細線路。值得注意的是，由於目前液晶顯示面板的製程技術已經相當成熟，故可利用液晶顯示面板之製程來量產本創作之晶片封裝結構201，如此將大幅降低晶片封裝結構201之製作成本，甚至較低於習知之應用有機基



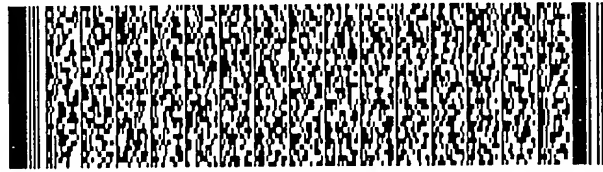
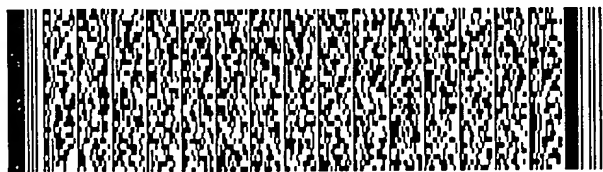
## 五、創作說明 (8)

板且以覆晶接合的方式來封裝晶片的成本。

除了第2A圖之第一種應用玻璃基板之晶片封裝結構201以外，本創作之較佳實施例更提出如第2B～2H圖所示之應用玻璃基板之多種晶片封裝結構202～208，請依序參考第2B～2H圖及其相關的說明。

請參考第2B圖，其繪示本創作之較佳實施例之第二種晶片封裝結構的剖面示意圖。與第2A圖所示之晶片封裝結構201相較之下，第2B圖所示之晶片封裝結構202的晶片230乃是以晶片230之背面234配置於線路層220之上，並以打線接合(Wire Bonding, WB)的方式，利用多條導線242來取代第2A圖所示之凸塊240，並以這些導線242分別電性連接晶片墊236之一至其所對應之接合墊228a之一，使得晶片230可以電性連接至線路層220之內部線路。此外，更可利用一封膠262來包覆並保護導線242、晶片墊236及接合墊228a。

請依序參考第2C、2D圖，其繪示本創作之較佳實施例之第三、四種晶片封裝結構的剖面示意圖。與第2A圖所示之晶片封裝結構201相較之下，第2C、2D圖所示之晶片封裝結構203及晶片封裝結構204均包括有多個晶片230(圖式僅繪示兩個晶片230)，並將這些晶片230以覆晶接合的方式配置於線路層220之上。此外，如第2D圖所示，由於玻璃基板210、線路層220之介電層224及晶片230等材質之熱膨脹係數(Coefficient of Thermal Expansion, CTE)均相當接近，故當以覆晶接合的方式將晶片230配置於

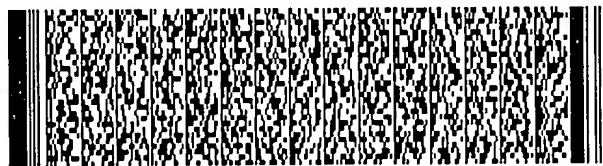
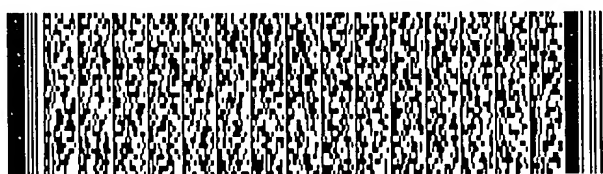


#### 五、創作說明 (9)

線路層220之上時，可無須提供適當的應力緩衝層於晶片230及線路層220（或玻璃基板210）之間，因此，如第2A或2C圖所示，位於晶片230與線路層220之間的底膠260將可省略。此外，如第2C圖所示，由於晶片封裝結構203適用於封裝多個晶片230，並可經由線路層之內部線路而相互電性連接，故可應用於多重晶片模組（Multi-Chip Module，MCM）及系統於單一封裝（System In Package，SIP）。

請參考第2E圖，其繪示本創作之較佳實施例之第五種晶片封裝結構的剖面示意圖。與第2C圖所示之晶片封裝結構203相較之下，第2E圖所示之晶片封裝結構205亦同樣具有多個晶片230，並同時以覆晶接合的方式（如右側之晶片230所示）及打線接合的方式（如左側之晶片230所示）分別將晶片230配置於線路層220之上，並且分別電性連接至線路層220之內部線路。

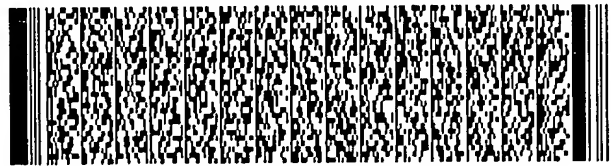
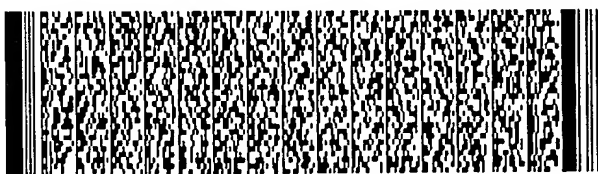
請參考第2F圖，其繪示本創作之較佳實施例之第六種晶片封裝結構的剖面示意圖。與第2E圖所示之晶片封裝結構205相較之下，第2F圖所示之晶片封裝結構206乃是以針腳252取代第2E圖所示之晶片封裝結構206的鐳球250，所以此晶片封裝結構206之型態係為針格陣列型（PGA）。值得注意的是，如第2E圖及2F圖所示，除了利用鐳球250及針腳252來分別作為晶片封裝結構205、206之導電結構以外，更可利用其他型態之導電結構來取代鐳球或針腳，用以電性及機械性連接外界之電子裝置。



#### 五、創作說明 (10)

請參考第2G圖，其繪示本創作之較佳實施例之第七種晶片封裝結構的剖面示意圖。與第2A圖所示之晶片封裝結構201相較之下，第2G圖所示之晶片封裝結構207更包括一散熱片（Heat Spreader，HS）270，而散熱片270係配置於晶片230之背面234，用以散逸源自晶片230於高速運作時所產生的熱能。此外，晶片封裝結構207將更包括一承載器280，其具有一承載表面282、至少一承載接點284a及多個承載接點284b。因此，這些錫球250將可分別連接至承載接點284b，且晶片230之背面234亦可經由散熱片270而間接地接觸承載接點284a，使得晶片230將位於玻璃基板210與承載器280之間。此外，當承載接點284a係為一接地接點，且散熱片270之本身亦具有導電特性時，晶片230之背面234將可經由散熱片270而電性連接至承載接點284a。另外，當晶片230之背面234足夠接近承載接點284a時，更可利用導熱膠（未繪示）來取代散熱片270之功能，其中散熱片270及導熱膠均可視為一導熱層。

請參考第2H圖，其繪示本創作之較佳實施例之第八種晶片封裝結構的剖面示意圖。與第2A圖所示之晶片封裝結構201相較之下，第2H圖所示之晶片封裝結構208包括多個主動元件290，其埋設於線路層230之內部，並位於玻璃基板210之基板表面212上。此外，晶片封裝結構208亦可包括多個被動元件292，例如電阻、電容及電感等，而被動元件292係可埋設於線路層220之內部，或位於玻璃基板210之基板表面212，亦或是配設於線路層220之表面。值

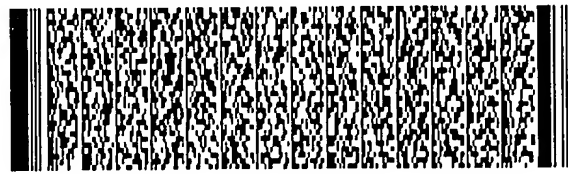


## 五、創作說明 (11)

得注意的是，主動元件290及被動元件292均可沿用液晶顯示面板之製程技術及生產機台，並將之製作於玻璃基板210之基板表面212上。此外，更可利用線路層220之內部線路來形成電容或電感等被動元件292，例如以平面或立體之螺旋狀的繞線設計來形成電感。

本創作之晶片封裝結構主要是利用玻璃基板取代習知之有機基板，並可沿用液晶顯示面板之製程技術及生產機台，而在玻璃基板上形成一線路層，接著利用覆晶接合或打線接合的方式，將單一晶片或多個晶片封裝於玻璃基板之線路層的表面，使得晶片可以電性連接線路層之內部線路。因此，本創作所揭露之晶片封裝結構更可將鐳球或針腳等導電結構配置於線路層之表面，並同時電性連接線路層之內部線路，使得晶片將可經由線路層之內部線路，最後經由導電結構而電性連接外界之電子裝置。此外，本創作之晶片封裝結構更可在晶片之背面配置一散熱片作為導熱層，有助於散逸晶片所產生的熱能。另外，本創作之晶片封裝結構同樣可沿用液晶顯示面板之製程技術及生產機台，在玻璃基板之基板表面上製作主動元件或被動元件，其中被動元件亦可配設於線路層之內部或表面，當被動元件配設於線路層之內部時，更可利用線路層之內部線路來形成電容或電感等被動元件。

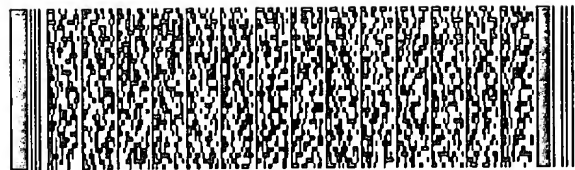
綜上所述，本創作之晶片封裝結構乃是沿用液晶顯示面板之製程技術及生產機台，在玻璃基板之基板表面上製作線路層。值得注意的是，由於液晶顯示面板之製程技術



##### 五、創作說明 (12)

所製作出之線寬及線距均已到達數微米的階段，在晶片之晶片墊的密度逐漸升高的情況下，本創作之晶片封裝結構將可配合晶片來提供高密度接點（接合墊）及微細線路之線路層，此乃習知之有機基板所無法達到的。此外，同樣由於本創作之晶片封裝結構可沿用液晶顯示面板之製程技術及生產機台，使得本創作之應用玻璃基板的晶片封裝結構其製作成本將較低於習知之應用有機基板的晶片封裝結構者。另外，當晶片之晶片墊的密度提高時，晶片之面積將可相對更小，使得同一晶圓所切割成之晶片數量將相對更多，故可相對降低單顆晶片之製作成本，因而連帶降低整個晶片封裝結構之製作成本。並且，本創作之晶片封裝結構係可同時封裝多個晶片，並可經由線路層之內部線路而相互電性連接，故可應用於多重晶片模組（MCM）及系統於單一封裝（SIP）。

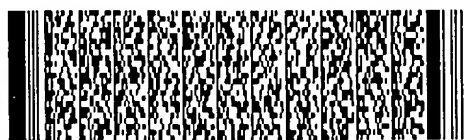
雖然本創作已以一較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作些許之更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知之一種覆晶球格陣列型之晶片封裝結構的剖面示意圖；以及

第2A～2H圖依序繪示本創作之較佳實施例之第一種至第八種晶片封裝結構的剖面示意圖。



## 六、申請專利範圍

### 1. 一種晶片封裝結構，至少包括：

一玻璃基板，具有一基板表面；

一線路層，配置於該基板表面之上，且該線路層具有複數個第一接合墊及複數個第二接合墊，其均位於該線路層之表面；

至少一晶片，具有一主動表面及對應之一背面，且該晶片更具有複數個晶片墊，其配置於該晶片之該主動表面；

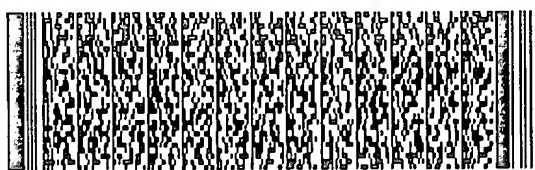
複數個凸塊，其中每一該些凸塊係連接該些晶片墊之一至其所對應之該些第一接合墊之一；以及

複數個導電結構，分別配置於該些第二接合墊之一上。

2. 如申請專利範圍第1項所述之晶片封裝結構，更包括一底膠，其填充於該玻璃基板及該晶片之間。

3. 如申請專利範圍第1項所述之晶片封裝結構，其中該線路層係由圖案化之一導線層所構成，且該導線層係形成該些第一接合墊及該些第二接合墊。

4. 如申請專利範圍第1項所述之晶片封裝結構，其中該線路層具有圖案化之複數個導線層、至少一介電層及至少一導電插塞，而該些導線層係依序配置於該基板表面之上，且該介電層係配置介於二相鄰之該些導線層之間，並且該導電插塞係貫穿該介電層，而電性連接位於該介電層之兩側的該些導線層，且該些導線層之最遠離該玻璃基板者更形成該些第一接合墊及該些第二接合墊。



## 六、申請專利範圍

5. 如申請專利範圍第1項所述之晶片封裝結構，其中該些導電結構之型態包括錫球及針腳其中之一。

6. 如申請專利範圍第1項所述之晶片封裝結構，更包括至少一主動元件，其埋設於該線路層之內部，並位於該玻璃基板之該基板表面上。

7. 如申請專利範圍第1項所述之晶片封裝結構，更包括至少一被動元件，其埋設於該線路層之內部。

8. 如申請專利範圍第1項所述之晶片封裝結構，更包括至少一被動元件，其配設於該線路層之表面。

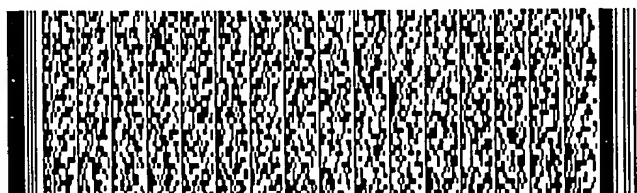
9. 如申請專利範圍第1項所述之晶片封裝結構，更包括一導熱層，其配置於該晶片之該背面。

10. 如申請專利範圍第9項所述之晶片封裝結構，其中該導熱層包括散熱片及導電膠其中之一。

11. 如申請專利範圍第9項所述之晶片封裝結構，更包括一承載器，其具有一承載表面、至少一第一承載接點及複數個第二承載接點，其中該第一承載接點及該些第二承載接點均配置於該承載表面，且該晶片係經由該導熱層而接觸該第一承載接點，並且該些導電結構係分別連接至該些第二承載接點。

12. 如申請專利範圍第11項所述之晶片封裝結構，其中該導熱層具有導電性，且該第一承載接點係為接地接點，使得該晶片可經由該導熱層而電性連接至該第一承載接點。

13. 一種晶片封裝結構，至少包括：



## 六、申請專利範圍

一 玻璃基板，具有一基板表面；

一 線路層，配置於該基板表面之上，且該線路層具有複數個第一接合墊及複數個第二接合墊，其均位於該線路層之表面；

至少一晶片，具有一主動表面及對應之一背面，且該晶片係以該背面配置於該線路層之上，並且該晶片更具有複數個晶片墊，其配置於該晶片之該主動表面；

複數個導線，其中每一該些導線係電性連接該些晶片墊之一至其所對應之該些第一接合墊之一；以及

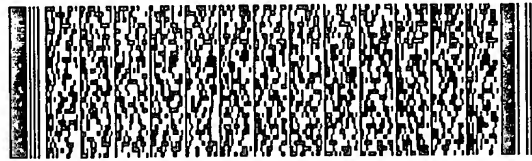
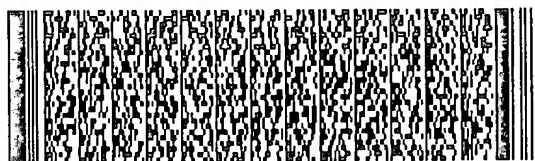
複數個導電結構，分別配置於該些第二接合墊之一上。

14. 如申請專利範圍第13項所述之晶片封裝結構，更包括一封膠，其包覆該晶片及該些導線。

15. 如申請專利範圍第13項所述之晶片封裝結構，其中該線路層係由圖案化之一導線層所構成，且該導線層係形成該些第一接合墊及該些第二接合墊。

16. 如申請專利範圍第13項所述之晶片封裝結構，其中該線路層具有圖案化之複數個導線層、至少一介電層及至少一導電插塞，而該些導線層係依序配置於該基板表面之上，且該介電層係配置介於二相鄰之該些導線層之間，並且該導電插塞係貫穿該介電層，而電性連接位於該介電層之兩側的該些導線層，且該些導線層之最遠離該玻璃基板者更形成該些第一接合墊及該些第二接合墊。

17. 如申請專利範圍第13項所述之晶片封裝結構，其



## 六、申請專利範圍

中該些導電結構之型態包括錫球及針腳其中之一。

18. 如申請專利範圍第1項所述之晶片封裝結構，更包括至少一主動元件，其埋設於該線路層之內部，並位於該玻璃基板之該基板表面上。

19. 如申請專利範圍第1項所述之晶片封裝結構，更包括至少一被動元件，其埋設於該線路層之內部。

20. 如申請專利範圍第1項所述之晶片封裝結構，更包括至少一被動元件，其配設於該線路層之表面。

21. 一種晶片封裝結構，至少包括：

一玻璃基板，具有一基板表面；

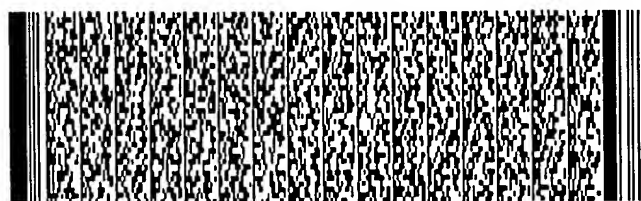
一線路層，配置於該基板表面上，並具有一內部線路；

至少一晶片，配置於該線路層上，並電性連接至該內部線路；以及

複數個導電結構，配置於該線路層上，並電性連接至該內部線路。

22. 如申請專利範圍第21項所述之晶片封裝結構，其中該線路層係由圖案化之一導線層所構成，而該導線層係構成該內部線路。

23. 如申請專利範圍第21項所述之晶片封裝結構，其中該線路層具有圖案化之複數個導線層、至少一介電層及至少一導電插塞，而該些導線層係依序配置於該基板表面之上，且該介電層係配置介於二相鄰之該些導線層之間，並且該導電插塞係貫穿該介電層，而電性連接至該介電層



#### 六、申請專利範圍

之兩側的該些導線層，且該些導線層及該導線插塞係構成該內部線路。

24. 如申請專利範圍第21項所述之晶片封裝結構，其中該晶片係以覆晶接合的方式電性連接至該內部線路。

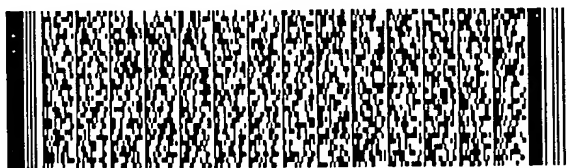
25. 如申請專利範圍第21項所述之晶片封裝結構，其中該晶片係以打線接合的方式電性連接至該內部線路。

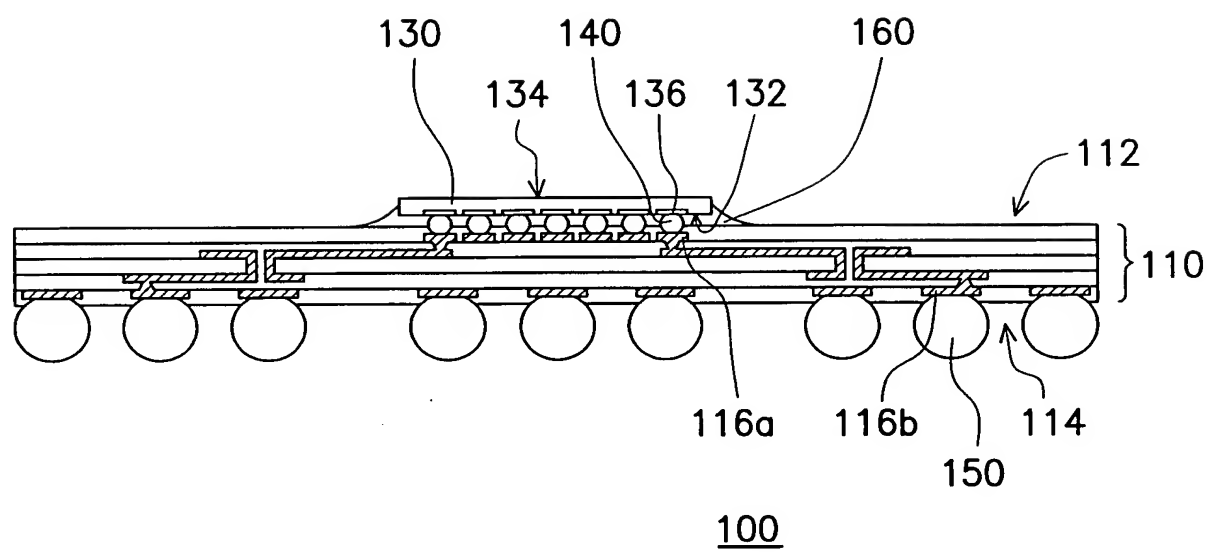
26. 如申請專利範圍第21項所述之晶片封裝結構，其中該些導電結構之型態包括鉅球及針腳其中之一。

27. 如申請專利範圍第21項所述之晶片封裝結構，更包括至少一主動元件，其埋設於該線路層之內部，並位於該玻璃基板之該基板表面上。

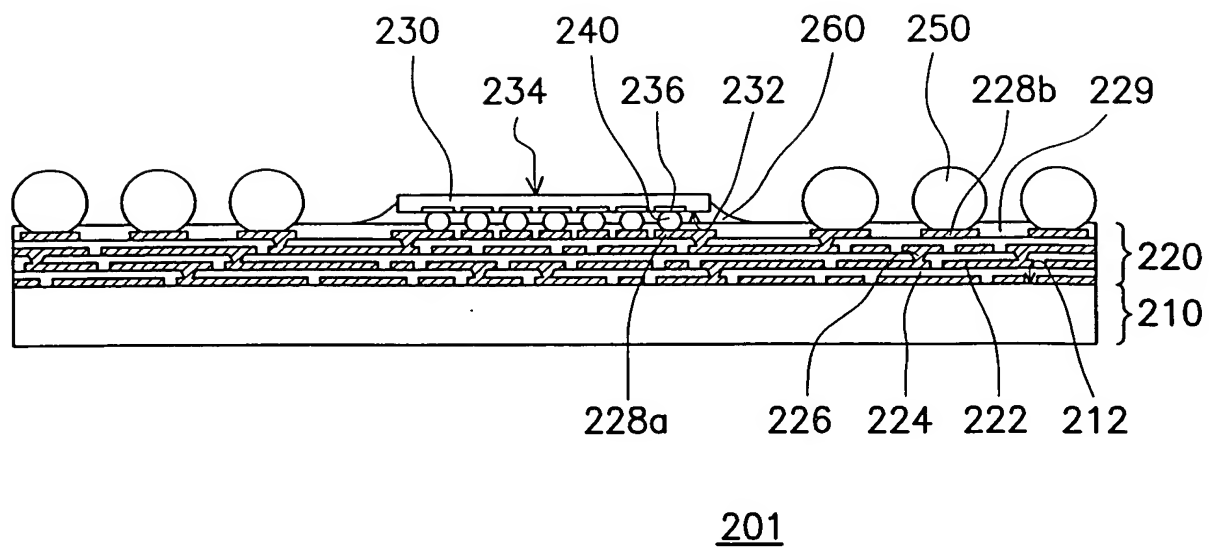
28. 如申請專利範圍第21項所述之晶片封裝結構，更包括至少一被動元件，其埋設於該線路層之內部。

29. 如申請專利範圍第21項所述之晶片封裝結構，更包括至少一被動元件，其配設於該線路層之表面。

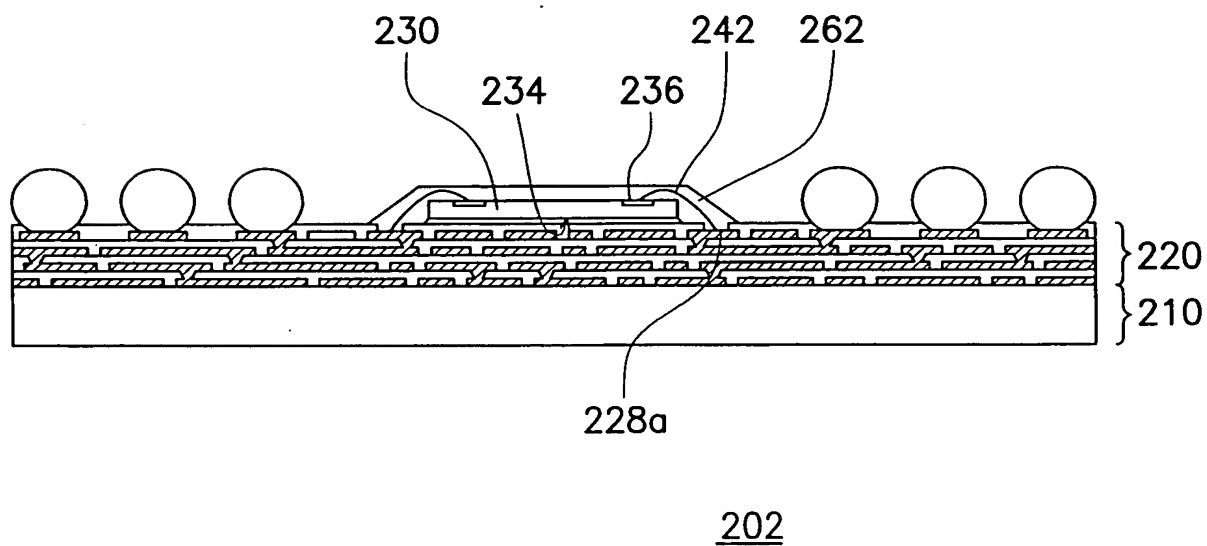




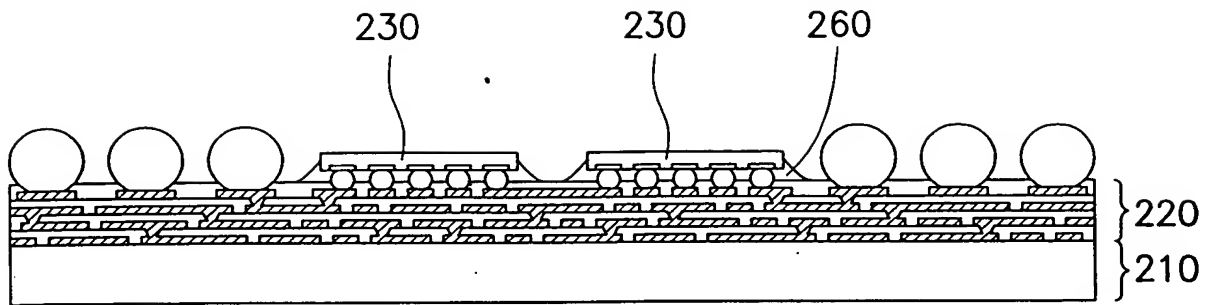
第 1 圖



第2A圖

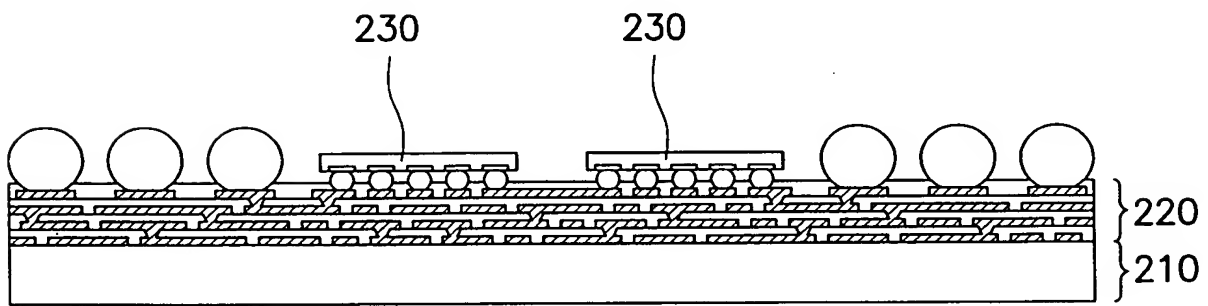


第2B圖



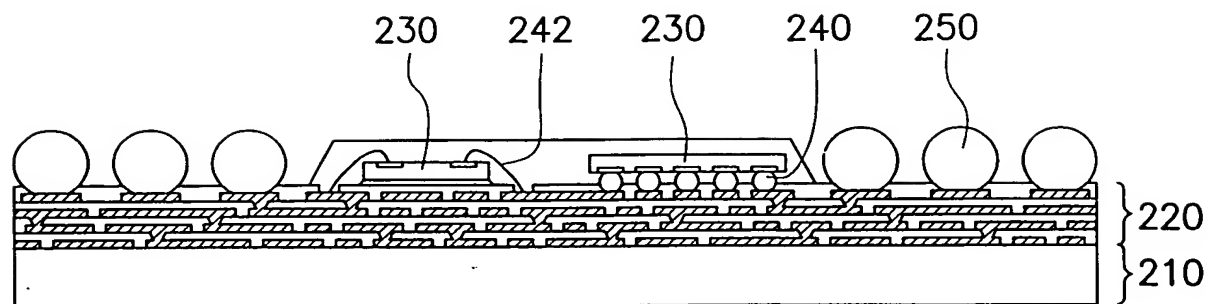
203

第 2C 圖



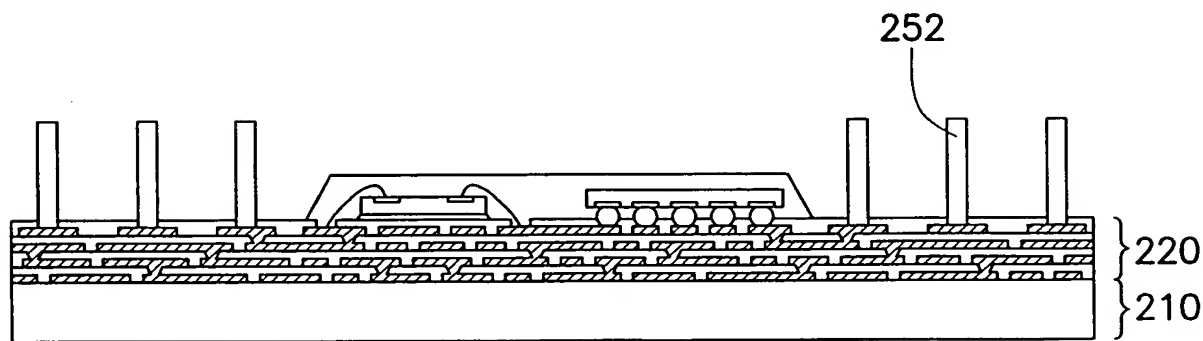
204

第 2D 圖



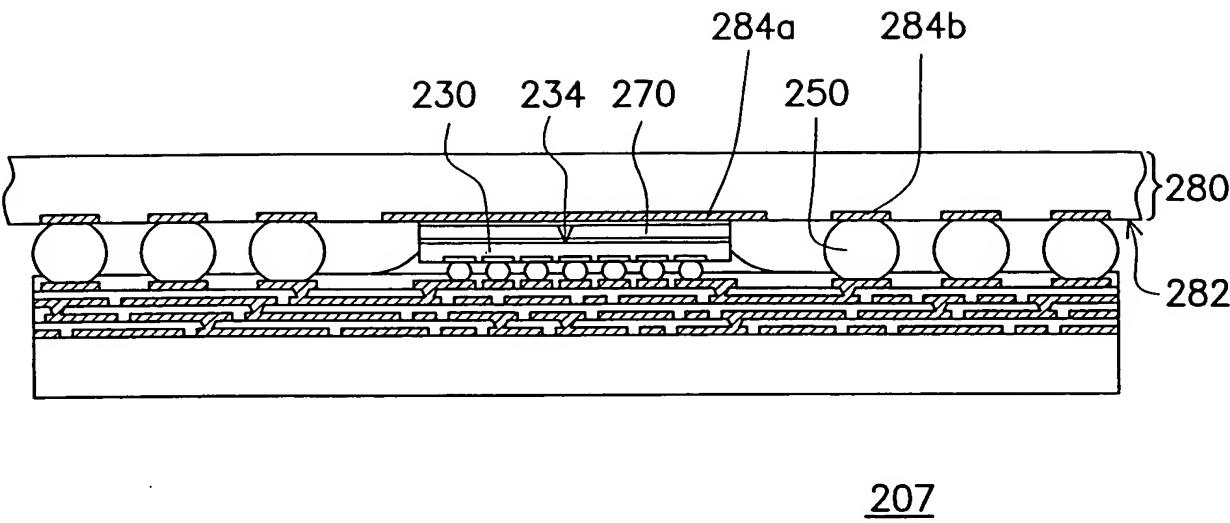
205

第 2E 圖

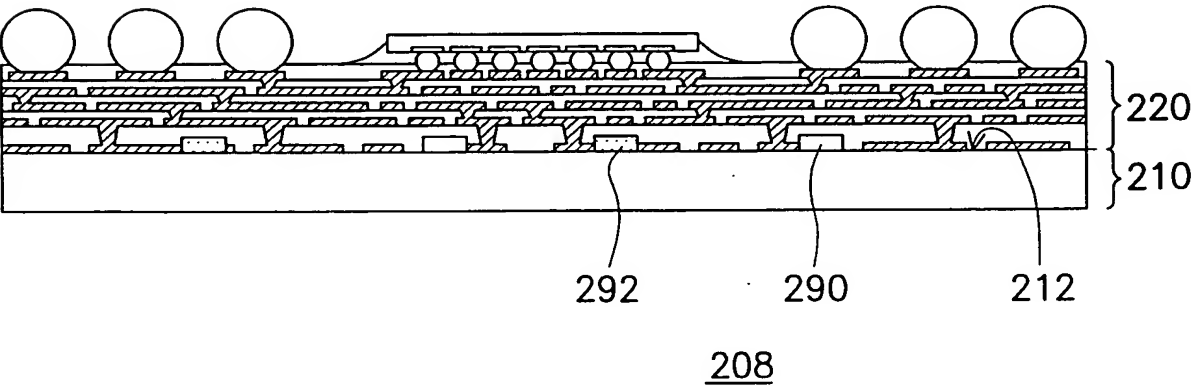


206

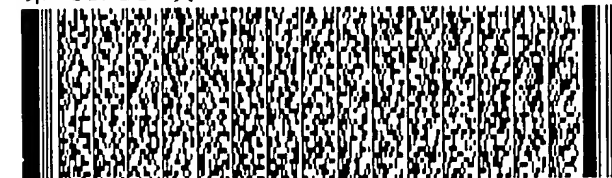
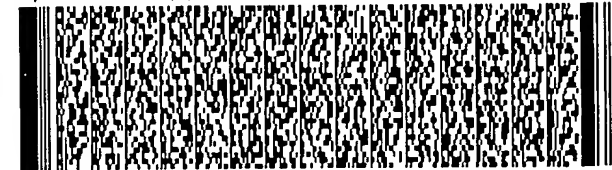
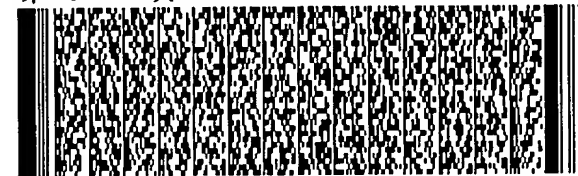
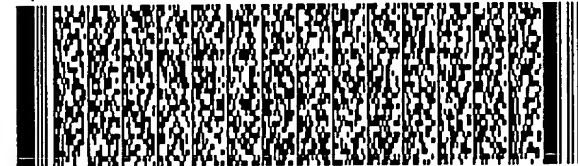
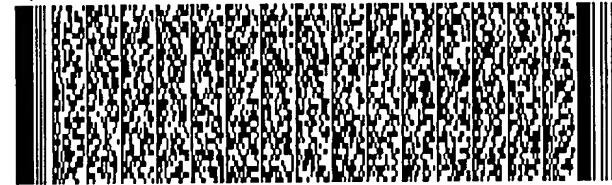
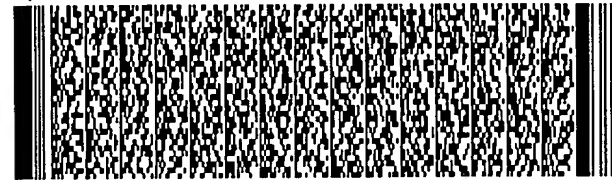
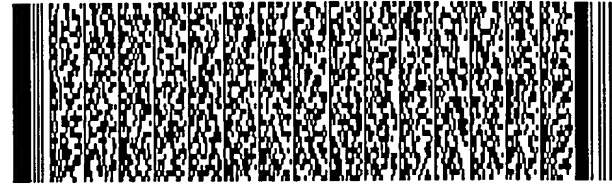
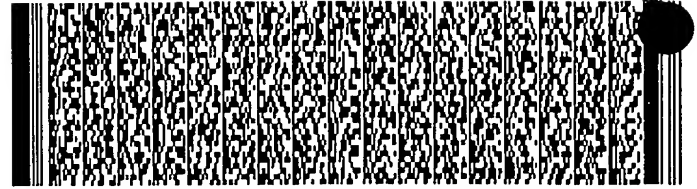
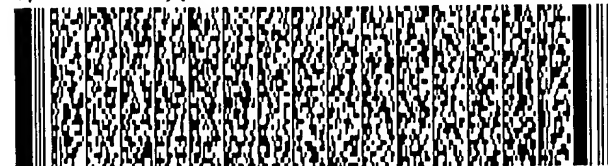
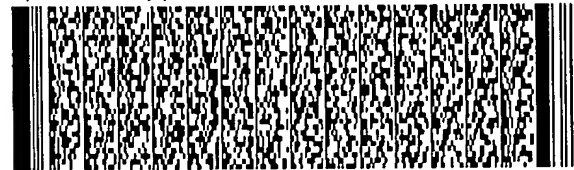
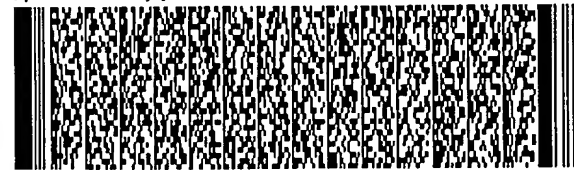
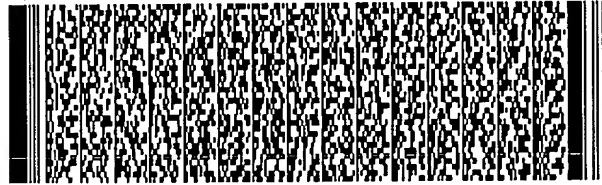
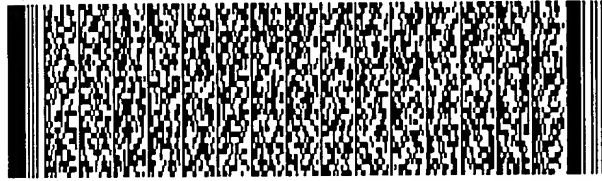
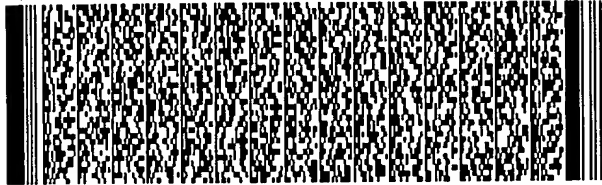
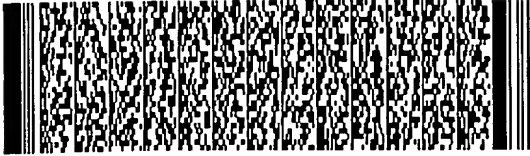
第 2F 圖

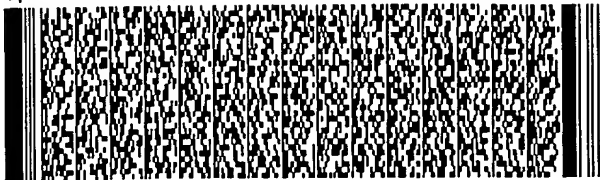


第 2G 圖

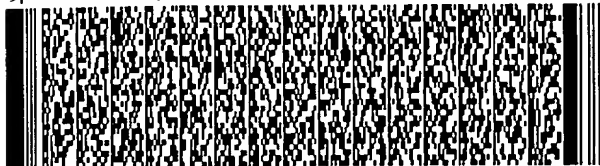


第 2H 圖

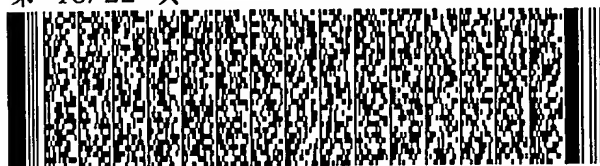




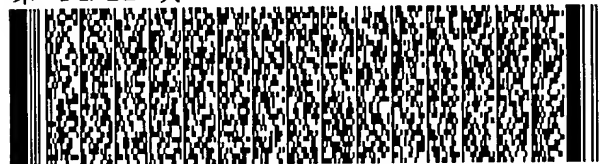
第 12/22 頁



第 13/22 頁



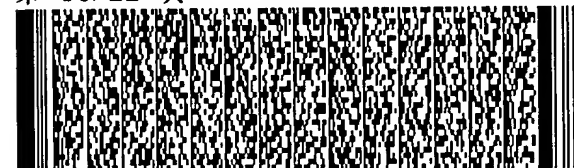
第 14/22 頁



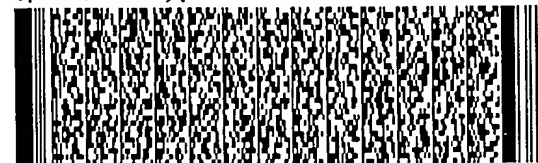
第 15/22 頁



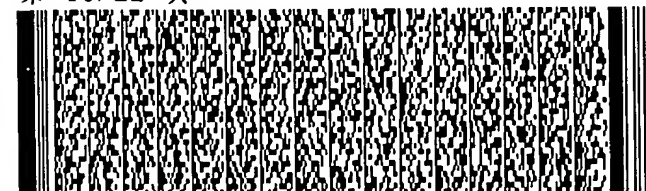
第 16/22 頁



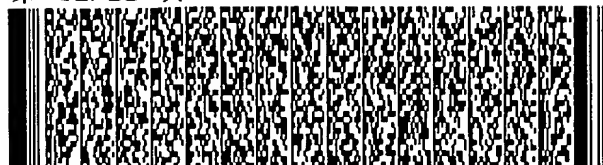
第 18/22 頁



第 19/22 頁



第 12/22 頁



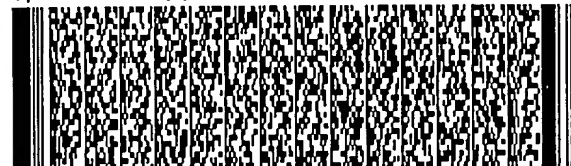
第 13/22 頁



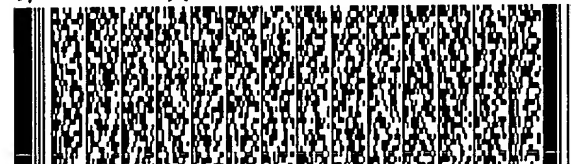
第 14/22 頁



第 15/22 頁



第 16/22 頁



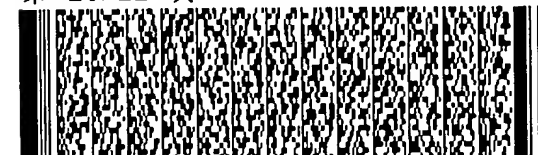
第 17/22 頁



第 18/22 頁



第 20/22 頁



第 20/22 頁



第 21/22 頁



第 22/22 頁

